

(54) DATA STORE SYSTEM FOR TV SYSTEM

(11) 2-250576 (A) (43) 8.10.1990 (19) JP

(21) Appl. No. 64-73215 (22) 24.3.1989

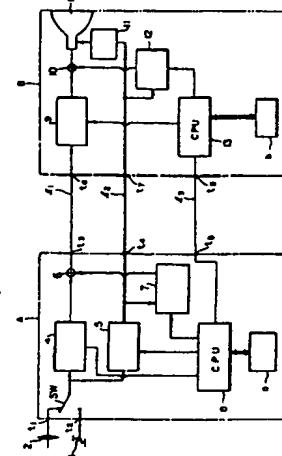
(71) SONY CORP (72) MITSUMASA

(51) Int. Cl^s. H04N5/907, G06F3/153, G09G5/22

(31) Int. Cl.: H04N5/301, G06F5/153, G06G3/22

PURPOSE: To prevent an accident due to the destruction of a memory by transferring data stored in a memory of a video equipment to a monitor memory for supplement even though the monitor memory is destroyed by the discharge of a CRT, etc.

CONSTITUTION: The memory data on a monitor B and a video equipment A can be checked and transferred, and the data of a memory (b) of the monitor B are stored in a memory (a) of the equipment A. If the monitor B is discharged and the data of the memory (b) of the monitor B are destroyed, the data on the monitor B stored in the memory (a) of the equipment A are transferred to the memory (b) of the monitor B for supplement of the memory data of the monitor B. Thus it is possible to prevent the accidents due to the destruction of a memory.



11: deflecting circuit, 9.4: video signal processing circuit, 7,12: character generation, 5: synchronizing signal detecting circuit, I_2 : synchronizing signal line, I_1 : picture information signal line

(54) VIDEOTAPE RECORDER

(11) 2-250577 (A) (43) 8.10.1990 (19) JP

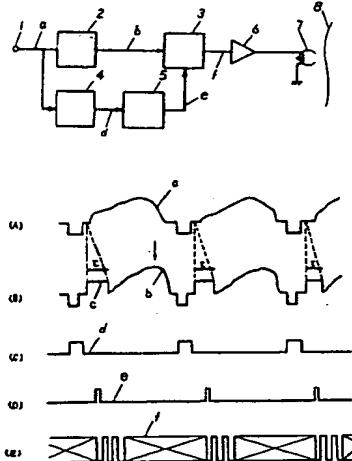
(21) Appl. No. 64-72416 (22) 24.3.1989

(71) MATSUSHITA ELECTRIC IND CO LTD (72) MASAHIRO HONJO

(51) Int. Cl⁵. H04N5/92, G11B20/06

PURPOSE: To optionally control the phase of an FM modulated wave with no omission of video signals by driving an FN modulator in order to secure the coincidence in a non-video signal section between the phase of the FM modulated wave and a prescribed phase having the synchronous relation with the video signal.

CONSTITUTION: An input signal (a) inputted from a terminal 1 undergoes the time base compression via a time base compression circuit 2 and is turned into a signal (b). In this case, a non-video signal (c) of a fixed pattern is put into a section (t), i.e., a time space. A horizontal synchronizing signal (d) is separated from the signal (a) by a synchronizing separator 4, and a control circuit 5 produces a control signal (e) based on the signal (d). The phase of an FM modulator 3 is forcibly reset to a certain phase by the signal (e). Therefore the FM modulated wave is turned into a signal (f) and the signal (f) is recorded on a recording tape 8 by a head 7 via a recording amplifier 6. As a result, the phase of the FM modulated wave can be optionally controlled with no omission of video signals.



(54) VIDEO SIGNAL REPRODUCTION PROCESSING CIRCUIT

(11) 2-250578 (A) (43) 8.10.1990 (19) JP

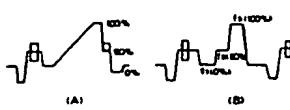
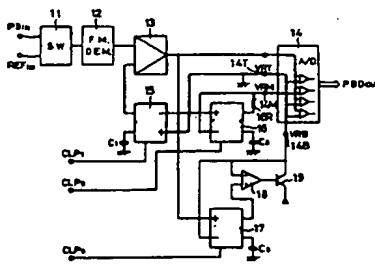
(21) Appl. No. 64-73371 (22) 24.3.1989

(71) SONY CORP (72) SHINJI KANEKO

(51) Int. Cl^s. H04N5/92, G11B20/02, H03M1/10

PURPOSE: To faithfully reproduce a high-definition TV signal by making use of the conversion characteristics of an A/D converter to compensate the characteristics of a demodulated signal and compensating the level difference and the linearity difference between the channels of a reproduction system.

CONSTITUTION: A reference frequency signal REF_{IN} including the frequencies f_1, f_2 , corresponding to the 0%, 50% and 100% signal levels of a reference video signal respectively is put into a reproduced RF video signal PB_{IN} via a switch circuit 11. Then the three-point compensation is given to the conversion characteristics of an A/D converter 14 with the demodulation output produced by an FM demodulation circuit 12 to a reference frequency signal PB_{IN} . As a result, a demodulation processing system consisting of the FM modulation circuit 12, an amplifier 13, and the A/D converter 14 can totally compensate the signal levels and the linearity. Thus the signal level difference and the linearity difference are never produced between the channels of a reproduction system. In such a way, the reproduced video signals of high definition can be obtained.



双方
CPU ↔ CPU
A B

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
⑪ 公開特許公報(A) 平2-250576

⑤Int.Cl.⁹
H 04 N 5/907
G 06 F 3/153
G 09 G 5/22

識別記号 B
内整理番号 6957-5C
8323-5B
8320-5C

⑫公開 平成2年(1990)10月8日

審査請求 未請求 請求項の数 1 (全5頁)

⑬発明の名称 TVシステムのデータ保管方式

⑭特 順 平1-73215
⑮出 順 平1(1989)3月24日

⑯発明者 斎藤 光正 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑰発明者 小川 誠一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑱出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑲代理人 弁理士 志賀 富士弥 外1名

明細書

1. 発明の名称

TVシステムのデータ保管方式

2. 特許請求の範囲

(1) CRT、データを保持するメモリ及びこのメモリを制御する制御部を有するモニタと、データを保持するメモリ及びこのメモリを制御する制御部を有すると共にCRTを持たない映像機器とを備え、前記モニタのメモリデータと前記映像機器のメモリデータをチェック及び転送可能とし、前記モニタのメモリのデータを前記映像機器のメモリにストアしてデータを保持することを特徴とするTVシステムのデータ保管方式。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、CRT(陰極線管)を有するモニタのメモリデータを保持するTV(テレビジョン)システムのデータ保管方式に関する。

【発明の概要】

本発明は、CRT及びメモリを有するモニタと、メモリを有し且つCRTを有しない映像機器とを備え、前記モニタのメモリデータを前記映像機器のメモリにストアすることにより、

CRTの故障などによりモニタのメモリが破壊されても映像機器のメモリにストアされているデータをモニタのメモリに転送して補填できるため、メモリが破壊されることによる事故を防止できる。

【従来の技術】

従来のTVシステムは、第3図に示すように、CRTを有するモニタAとこのモニタBにビデオ信号線を介してビデオ信号を送出する映像機器のチューナAとから構成されている。チューナAとモニタBはそれぞれ信号処理回路20, 21と画面表示の信号を生成するキャラクタジェネレータ22, 23を有し、この各信号処理回路20, 21とキャラクタジェネレータ22, 23は各CPU24, 25にて制御される。又、チューナAとモニタBにはそれぞれメモリ5, 6が設けられ、

特開平2-250576 (2)

この各メモリu, bは各CPU24, 25にて制御される。チューナAのメモリuにはチューナA自体の調整データやコントロールデータが記憶され、又、モニタBのメモリbにはモニタA自体の調整データ（ミスコンバーゼンス量等）やコントロールデータが記憶されている。

而して、チューナAの信号処理回路20から出力されたビデオ信号はビデオ信号線8を介してモニタBの信号処理回路21に導かれる。この信号処理回路21で所定の信号処理を施されたビデオ信号がCRT1に供給されて映像が映し出される。そして、各CPU24, 25はそれぞれのメモリu, bに記憶されているデータに基づいて各信号処理回路20, 21や各キャラクタジェネレータ22, 23などを制御する。

【発明が解決しようとする課題】

上記構成において、CRT1式のモニタBは放電を起こしたり、人の接触による人体チャージなどが起こると内蔵のメモリbのデータが破壊され

モニタに放電等が起こりモニタのメモリのデータが破壊されると、映像機器のメモリにストアされているモニタのデータをモニタのメモリに転送してモニタのメモリデータを補填する。

【実施例】

以下、本発明の実施例を図面を用いて説明する。

第1図及び第2図には本発明の実施例が示されている。

第1図には本願のメモリ保管方式を実施するテレビジョンシステムの回路ブロック図が示されている。第1図において、TVシステムはCRTを有しない映像機器のチューナAとCRT1を有するモニタBとが接続されており、チューナAが出力するビデオ信号がモニタBに供給されてCRT1に映像が映し出される。チューナAの入力端子11, 12にはSHPアンテナ2とU/Vアンテナ3とがそれぞれ接続されている。SHPアンテナ2とU/Vアンテナ3からのビデオ信号はスイッチSWにて選択的にチューナAへ入力され、入力

という欠点があった。TVのディジタルコントロールが進んだ今日では調整データが破壊されると重大な不良事故につながる。

そこで、本発明はメモリデータが破壊されても破壊されたデータ内容を補填可能なTVシステムのデータ保管方式を提供することを目的とする。

【課題を解決するための手段】

上記目的を達成するための本発明のTVシステムのデータ保管方式は、CRT、データを保持するメモリ及びこのメモリを制御する制御部を有するモニタと、データを保持するメモリ及びこのメモリを制御する制御部を有すると共にCRTを持たない映像機器とを備え、前記モニタのメモリデータと前記映像機器のメモリデータをチェック及び転送可否とし、前記モニタのメモリのデータを前記映像機器のメモリにストアしてデータを保持するものである。

【作用】

されたビデオ信号はビデオ信号処理回路4と同期信号検出回路5にそれぞれ供給される。ビデオ信号処理回路4は入力ビデオ信号から西情報信号を抜き出し、この西情報信号に所定の信号処理を施して加算器6に出力する。同期信号検出回路5は入力ビデオ信号から同期信号を検出し、検出した同期信号を出力端子7と共にキャラクタジェネレータ7に供給する。キャラクタジェネレータ7はCPU8からのアドレス信号に基づいて画面表示の信号を生成し、この画面表示信号を加算器6に出力する。加算器6は西情報信号に画面表示信号を加算し、画面表示信号が加算された西情報信号が出力端子7に導かれている。制御部であるCPU（中央処理装置）8はビデオ信号処理回路4及び同期信号検出回路5を制御すると共に内蔵のメモリuの読み出し・書き込みを制御する。メモリuにはチューナA自体の調整データやコントロールデータが記憶されていると共にこのメモリuはその他のモニタBのメモリbの全データを記憶可能な余分な容量を有している。

特開平2-250576 (3)

モニタBには二つの入力端子*t₁*, *t₂*が設けられ、この各入力端子*t₁*, *t₂*とチューナAの各出力端子*t₃*, *t₄*が西情報信号線*w*及び同期信号線*s*を介してそれぞれ接続されている。入力端子*t₁*から入力された西情報信号はビデオ信号処理回路9にて所定の信号処理が施されて加算器10に出力される。入力端子*t₂*から入力された同期信号は偏向回路11とキャラクタジェネレータ12にそれぞれ供給されている。偏向回路11は同期信号に基づいてノコギリ波を形成する。キャラクタジェネレータ12は、前記チューナAのものと同様に、CPU13からのアドレス信号に基づいて背面表示の信号を生成し、この背面表示信号を加算器10に出力する。制御部であるCPU13は前記チューナAのものと同様にビデオ信号処理回路9やキャラクタジェネレータ12を制御すると共に内蔵のメモリbの読み出し・書き込みを制御する。このメモリbにはモニタI自体の調整データやコントロールデータが記憶されている。又、モニタBのCPU13とチューナAのCPU8

モニタB内のコントロールが実行され、メモリbのデータ付加やデータ更新が行われると、モニタBのCPU13がそのコントロールデータをチューナAのCPU8が転送してメモリbのデータ付加やデータ更新が行われる。そして、電源がオフされるまでモニタBのメモリbのデータ付加・更新される毎にチューナAのメモリbのデータ付加・更新されるため、チューナAのメモリbには常にモニタBのメモリbの最新のデータがストアされる。

チューナA及びモニタBの電源がオフされ再度チューナA及びモニタBの電源がオンされると、両方のCPU8, 13が各メモリbのデータを読み出してメモリbのデータが抜けているか否かを確認する。メモリbのデータが抜けている場合には抜けていたデータをCPU8がモニタBのCPU13に転送してCPU13がメモリbに記憶する。従って、CRTIの故障等によってモニタBのメモリbのデータが一部又は全部破壊されてもチューナAの

にはデータ転送用の端子*t₅*, *t₆*がそれぞれ設けられ、この端子*t₅*, *t₆*間がデータ線*w*にて結線されている。

以下、上記構成の作用について説明する。

チューナA及びモニタBの電源がオンされ、SHPアンテナ2又はU/Vアンテナ3からのビデオ信号がビデオ信号処理回路4及び同期信号換出回路5にて信号処理される。ビデオ信号処理回路4の出力である西情報信号が西情報信号線*w*を介して又、同期信号換出回路5の出力である同期信号が同期信号線*s*を介してそれぞれモニタBへ伝送されてCRTIに映像が映し出される。

次に、データ保管の動作について第2図を参照して説明する。

チューナAとモニタBが結線された後、最初に両方の電源がオンされると、モニタBのCPU13がメモリbのデータを読み出してこのメモリデータをチューナAのCPU8に転送し、チューナAのCPU8が転送されたメモリデータをメモリbに全て書き込むことによってストアする。次に、

メモリbから転送されてモニタBのメモリb内容が補填されるため、データ破壊による事故が発生しない。

また、チューナAのメモリbがモニタBのメモリデータを保持しているため、モニタBのコントロールを行う時でもチューナAのキャラクタジェネレータ12を使用して背面表示を行うことができる。尚、モニタBを単品として動作させるとまではモニタBのCPU13が全コントロールを行うと共に背面表示もモニタB内のキャラクタジェネレータ12を使用して行われる。また、前記実施例ではメモリデータの転送をデータ線*w*を用いて行っているが、メモリデータを西情報信号や同期信号の無情報区間に利用して転送すればデータ線*w*が不用となる。

【発明の効果】

以上述べたように本発明によれば、CRT及びメモリを有するモニタと、メモリを有し且つCRTを有しない映像機器とを組み、前記モニタのメ

モリデータを前記映像機器のメモリにストアしたので、CRTの放電などによりモニタのメモリが破壊されても映像機器のメモリにストアされているデータをモニタのメモリに伝送して補填できるため、メモリが破壊されることによる事故を防止できるという効果を有する。

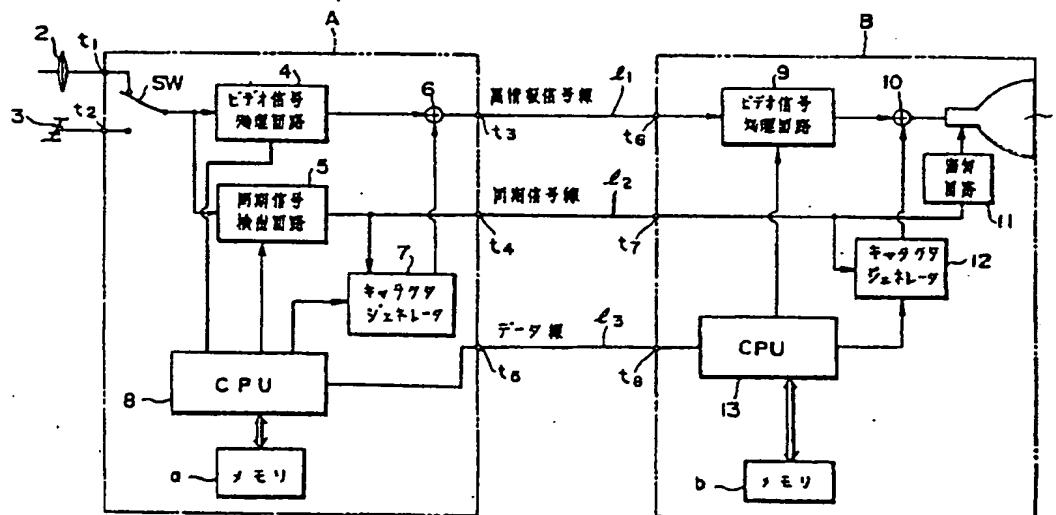
4. 図面の簡単な説明

第1図及び第2図は本発明の実施例を示し、第1図はテレビジョンシステムの回路ブロック図、第2図はメモリ保管のフローチャート図であり、第3図は従来のテレビジョンシステムの回路ブロック図である。

A…チューナ（映像機器）、B…モニタ、1…CRT、8, 13…CPU（制御部）、a, b…メモリ。

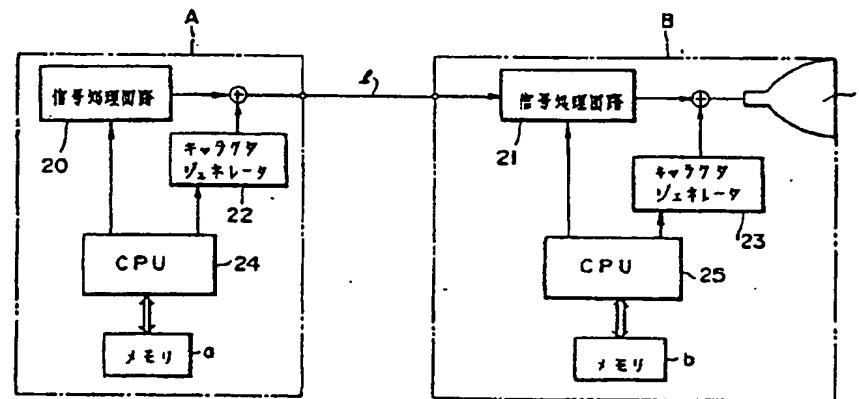
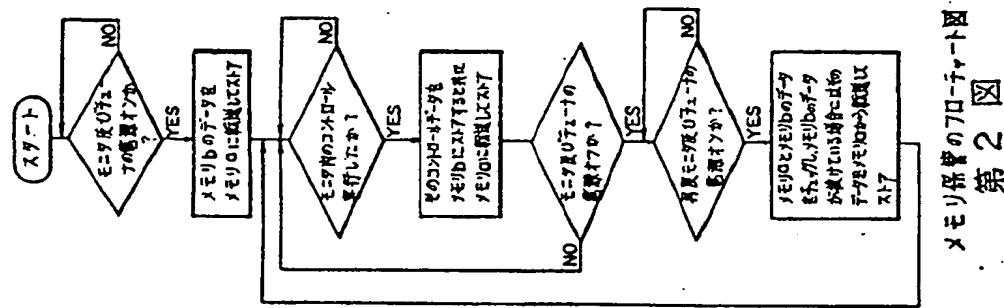
代理人 志賀富士郎

外1名



A…チューナ（映像機器）
B…モニタ
1…CRT
8, 13…CPU（制御部）
a, b…メモリ

テレビジョンシステムの回路ブロック図
第1図



テレビジョンシステムの回路ブロック図(従来)

第3図